

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

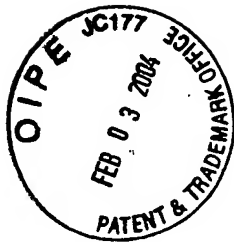
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT
ATTORNEY DOCKET NO. 053785-5164

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
)	
Youn-Gyoung CHANG, et al.)	
)	
Application No.: 10/724,892)	Group Art Unit: Unassigned
)	
Filed: December 2, 2003)	Examiner: Unassigned

For: ARRAY SUBSTRATE HAVING COLOR FILTER ON THIN FILM TRANSISTOR
STRUCTURE FOR LCD DEVICE AND METHOD OF FABRICATING THE SAME

Commissioner for Patents
Arlington, VA 22202

Sir:

SUBMISSION OF PRIORITY DOCUMENT

Under the provisions of 35 U.S.C. § 119, Applicants hereby claim the benefit of the filing date of Korean Application No. 2002-0078007, filed December 9, 2002, and Korean Application No. 2002-0078910, filed December 11, 2002, for the above-identified United States Patent Application.

In support of Applicants' claim for priority, filed herewith is one certified copy of each of the above.

Respectfully submitted,

MORGAN, LEWIS & BOCKIUS LLP

By:

Robert J. Goodell, Reg. No. 41,040

Dated: February 3, 2004

MORGAN, LEWIS & BOCKIUS LLP
1111 Pennsylvania Avenue, NW
Washington, D.C. 20004
202-739-3000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0078007
Application Number

출원 년 월 일 : 2002년 12월 09일
Date of Application DEC 09, 2002

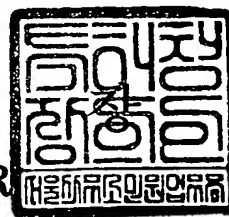
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 11 월 27 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.11.11
【제출인】	
【명칭】	엘지 . 필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【사건과의 관계】	출원인
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【사건의 표시】	
【출원번호】	10-2002-0078007
【출원일자】	2002.12.09
【발명의 명칭】	액정표시장치용 어레이기판과 그 제조방법
【제출원인】	
【접수번호】	1-1-2002-0408607-12
【접수일자】	2002.12.09
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	장윤경
【성명의 영문표기】	CHANG, YOUN GYOUNG
【주민등록번호】	720809-2042017
【우편번호】	435-040
【주소】	경기도 의왕시 오전동 LG 진달래 아파트 103동 807호
【국적】	KR

【발명자】**【성명의 국문표기】**

박승렬

【성명의 영문표기】

PARK, SEUNG RYULL

【주민등록번호】

741030-1148114

【우편번호】

406-120

【주소】

인천광역시 연수구 청학동 469-3 25/2

【국적】

KR

【취지】

특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인
정원기 (인)

【수수료】**【보정료】**

0 원

【기타 수수료】

원

【합계】

0 원

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0007
【제출일자】 2002.12.09
【발명의 명칭】 액정표시장치용 어레이기판과 그 제조방법
【발명의 영문명칭】 Substrate for LCD and Method for fabricating of the same
【출원인】

【명칭】 엘지 .필립스엘시디(주)

【출원인코드】 1-1998-101865-5

【대리인】

【성명】 정원기

【대리인코드】 9-1998-000534-2

【포괄위임등록번호】 1999-001832-7

【발명자】

【성명의 국문표기】 장윤경

【성명의 영문표기】 CHANG,YOUN GYOUNG

【주민등록번호】 720809-2042017

【우편번호】 435-040

【주소】 경기도 의왕시 오전동 LG 진달래 아파트 103동 807호

【국적】 KR

【발명자】

【성명의 국문표기】 박승렬

【성명의 영문표기】 PARK,SEUNG RYUL

【주민등록번호】 741030-1148114

【우편번호】 406-120

【주소】 인천광역시 연수구 청학동 469-3 25/2

【국적】 KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
정원기 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 46 면 46,000 원

1020020078007

출력 일자: 2003/12/1

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	75,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 액정표시장치에 관한 것으로, 어레이기판에 컬러필터가 구성된 COT구조의 액정표시장치에 관한 것이다.

본 발명에 따른 액정표시장치는 어레이기판의 상부에 컬러필터를 구성하는 구조에 있어서, 박막트랜지스터와 게이트 배선 및 데이터 배선의 상부에 불투명한 유기수지로 블랙매트릭스를 형성하고, 컬러필터를 중심으로 상부와 하부에 각각 제 1 및 제 2 투명전극을 형성한다.

이때, 상기 게이트 배선의 끝단에 형성하는 게이트 패드 전극을 상기 데이터 배선과 동일층 동일물질로 형성하여, 상기 게이트 패드 전극과 이에 접촉하는 투명 게이트 패드 단자가 컬러필터를 패터닝하는 약액에 의해데미지를 입지 않도록 한다.

【대표도】

도 3

【명세서】

【발명의 명칭】

액정표시장치용 어레이기판과 그 제조방법{Substrate for LCD and Method for fabricating of the same}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 도면이고,

도 2는 도 1의 II-II'를 절단하여 도시한 액정표시장치의 단면도이고,

도 3은 본 발명의 제 1 실시예에 따른 COT구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,

도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 3의 IV-IV', V-V', VI-VI'를 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이고,

도 7은 본 발명의 제 2 실시예에 따른 COT구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,

도 8a 내지 도 8j와 도 9a 내지 도 9j와 도 10a 내지 도 10j는 도 7의 VIII-VIII', IX-IX', X-X'를 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

100 : 기판	102 : 게이트 배선
104 : 게이트 전극	108 : 액티브층
112 : 소스 전극	114 : 드레인 전극
116 : 데이터 배선	118 : 데이터 패드
120 : 섬형상의 금속층	122 : 게이트 패드
128 : 블랙 매트릭스	140 a,b,c : 컬러필터
142 : 컬러필터 패턴	148,150 : 제 1 및 제 2 화소전극
152,154 : 제 1 및 제 2 게이트 패드 단자	
156,158 : 제 1 및 제 2 데이터 패드 단자	
160,162 : 제 1 및 제 2 접촉전극	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 액정표시장치에 관한 것으로, 박막트랜지스터 어레이부의 상부에 컬러필터를 구성하는 COT(color filter on TFT)구조의 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

- <19> 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- <20> 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <21> 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- <22> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- <23> 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- <24> 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- <25> 상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.

- <26> 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에
구성되며, 스토리지 캐패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2
전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 금속층(30)을 사용한다.
- <27> 이때, 상기 섬형상의 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록
구성된다.
- <28> 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여 액정패널을
제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이
발생할 확률이 매우 높다.
- <29> 이하, 도 2를 참조하여 설명한다.
- <30> 도 2는 도 1의 II-II'를 따라 절단한 단면도이다.
- <31> 앞서 설명한 바와 같이, 어레이기판인 제 1 기판(22)과 컬러필터 기판인 제 2 기판(5)이
이격되어 구성되고, 제 1 및 제 2 기판(22,5)의 사이에는 액정층(14)이 위치한다.
- <32> 어레이기판(22)의 상부에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인
전극(38)을 포함하는 박막트랜지스터(T)와, 상기 박막트랜지스터(T)의 상부에는 이를 보호하는
보호막(40)이 구성된다.
- <33> 화소영역(P)에는 상기 박막트랜지스터(T)의 드레인 전극(38)과 접촉하는 투명 화소전극
(17)이 구성되고, 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의
상부에 구성된다.

- <34> 상기 상부 기판(5)에는 상기 게이트 배선(13)과 데이터 배선(15)과 박막트랜지스터(T)에 대응하여 블랙매트릭스(6)가 구성되고, 하부 기판(22)의 화소영역(P)에 대응하여 컬러필터(7a,7b,7c)가 구성된다.
- <35> 이때, 일반적인 어레이기판의 구성은 수직 크로스토크(cross talk)를 방지하기 위해 데이터 배선(15)과 화소 전극(17)을 일정 간격(A) 이격 하여 구성하게 되고, 게이트 배선(13)과 화소 전극 또한 일정간격(B) 이격 하여 구성하게 된다.
- <36> 데이터 배선(15) 및 게이트 배선(13)과 화소 전극(17) 사이의 이격된 공간(A,B)은 빛샘 현상이 발생하는 영역이기 때문에, 상부 컬러필터기판(5)에 구성한 블랙 매트릭스(black matrix)(6)가 이 부분을 가려주는 역할을 하게 된다.
- <37> 또한, 상기 박막트랜지스터(T)의 상부에 구성된 블랙매트릭스(6)는 외부에서 조사된 빛이 보호막(40)을 지나 액티브층(34)에 영향을 주지 않도록 하기 위해 빛을 차단하는 역할을 하게 된다.
- <38> 그런데, 상기 상부 기판(5)과 하부 기판(22)을 합착하는 공정 중 합착 오차(misalign)가 발생하는 경우가 있는데, 이를 감안하여 상기 블랙매트릭스(6)를 설계할 때 일정한 값의 마진(margin)을 두고 설계하기 때문에 그 만큼 개구율이 저하된다.
- <39> 또한, 마진을 넘어서는 합착오차가 발생할 경우, 빛샘 영역(A,B)이 블랙매트릭스(6)에 모두 가려지지 않는 빛샘 불량이 발생하는 경우가 종종 있다.
- <40> 이러한 경우에는 상기 빛샘이 외부로 나타나기 때문에 화질을 저하하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <41> 본 발명은 전술한 바와 같은 문제를 해결하기 위해 제안된 것으로, 본 발명을 요약하면 컬러필터를 하부기판에 구성하고 컬러필터 사이 영역 즉, 박막트랜지스터와 게이트 배선 및 데이터배선의 상부에 블랙매트릭스를 구성한다.
- <42> 상기 화소영역에는 제 1 화소전극과 컬러필터와 제 2 화소전극 순으로 구성하되, 상기 제 1 화소전극은 드레인 전극과 직접 접촉하는 구성이고, 상기 제 2 화소 전극은 상기 제 1 화소 전극과 접촉하도록 구성한다.
- <43> 이때, 상기 게이트 배선의 일 끝단에 구성되는 게이트 패드를 형성할 때, 상기 컬러필터를 패터닝하는 약액에 강한 데이터 배선 물질로 형성함으로써 컬러필터를 패터닝하는 공정 중 상기 게이트 패드가 데미지를 입어 단선되는 불량을 방지하도록 한다.

【발명의 구성 및 작용】

- <44> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 기판 상에 일 방향으로 연장된 게이트 배선과, 게이트 배선의 일 끝단에 이와 근접하여 구성된 게이트 패드와; 상기 게이트 배선과 제 1 절연막을 사이에 두고 교차하여 화소영역을 정의하고 일 끝단에 데이터 패드를 포함하는 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터와; 상기 드레인 전극의 일부를 제외한 박막트랜지스터와, 게이트 배선과 데이터 배선의 상부에 구성된 블랙매트릭스와; 상기 블랙매트릭스의 상부에 구성된 제 2 절연막과; 상기 노출된 드레인 전극과 접촉하면서 화소영역마다 독립적으로 구성된 투명한 제 1 화소전극과; 상기 제 1 화소

전극에 대응하여 구성된 컬러필터와; 상기 컬러필터의 상부에 위치하고, 상기 제 1 전극과 접촉하는 투명한 제 2 화소전극과; 상기 게이트 패드와 접촉하는 이중층의 게이트 패드 단자와, 상기 데이터 패드와 이중층의 데이터 패드 단자와; 상기 게이트 패드와 게이트 배선을 연결하면서 컬러필터 패턴이 개재된 투명한 이중층의 접촉전극을 포함한다.

<45> 상기 반도체층은 순수 비정질 실리콘층과 불순물 비정질 실리콘층이 적층되어 구성되며, 상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부가 더욱 구성된다.

<46> 상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층이 더욱 구성다.

<47> 상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 구성되며, 상기 게이트 패드와 게이트 배선에 걸쳐 구성된 컬러필터 패턴은, 상기 적색과 녹색과 청색의 컬러필터 중 제일 먼저 패턴되는 컬러필터 수지로 구성된다.

<48> 상기 게이트 패드 단자와 접촉전극과 데이터 패드 단자는 투명한 전극물질로 구성된다.

<49> 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판의 제조방법은 기판 상에 일 방향으로 연장된 게이트 배선과, 이에 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 절연막 상부의 게이트 전극 상부에 액티브층과 오믹 콘택층을 형성하는 단계와; 상기 게이트 배선과 제 1 절연막을 사이에 교차하여 화소영역을 정의하고 일 끝 단에 데이터 패드를 포함하는 데이터 배선과, 상기 오믹 콘택층의 상부에 소스 및 드레인 전극과, 상기 게이트 배선의 일 끝 단에 근접하여 게이트 패드를 형성하는 단계와; 상기 소스 및 드레인 전극과 게이트 배선 및 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스가 형성된 기판의

전면에 제 2 절연막을 형성한 후, 제 2절연막과 하부의 제 1 절연막을 식각하여, 상기 게이트 패드 전극의 일부를 노출하는 다수의 제 1 콘택홀과, 상기 데이터 패드의 일부를 노출하는 다수의 제 2 콘택홀과, 상기 게이트 배선의 끝단 일부를 노출하는 제 3 콘택홀을 형성하고, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와; 상기 패터닝된 제 2 절연막이 형성된 기판의 전면에서 제 1 투명 전극층을 형성하는 단계와; 상기 화소영역에 대응하는 제 1 투명 전극층 상부에 컬러필터를, 상기 게이트 패드의 일부와 게이트 배선 끝단에 걸쳐 대응하는 제 1 투명 전극층의 상부에 컬러필터 패턴을 형성하는 단계와; 상기 컬러필터와 컬러 필터 패턴이 형성된 기판의 전면에서 제 2 투명전극층을 형성하는 단계와; 상기 제 1 및 제 2 투명 전극층을 패터닝하여, 상기 화소영역에 대응하여 상기 컬러필터를 사이에 두고 접촉한 이중층의 투명 화소전극과, 상기 게이트 패드와 접촉하는 이중층의 게이트 패드 단자와, 상기 게이트 패드와 게이트 배선을 연결하고 상기 컬러필터 패턴이 개재된 이중층의 접촉전극과, 상기 데이터 패드와 접촉하는 이중층의 데이터 패드 단자를 형성하는 단계를 포함한다.

<50> 본 발명의 다른 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판 상에 일 방향으로 연장된 게이트 배선과 이에 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상부에 제 1 절연막을 사이에 두고 적층된 액티브 층과 오믹콘택층과, 오믹 콘택층과 접촉하고 소정간격 이격된 소스 전극과 드레인 전극과, 소스 전극에서 상기 게이트 배선과 수직 한 방향으로 연장되어 화소영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과 상기 게이트 배선과 근접하여 섬형상의 게이트 패드를 형성하는 단계와; 상기 소스 및 드레인 전극과 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스가 형성된 기판의 전면에서 제 2 절연막을 형성한 후, 제 2절연막과 하부의 제 1 절연막을 식각하여, 상기

게이트 패드 전극의 일부를 노출하는 다수의 제 1 콘택홀과, 상기 데이터 패드의 일부를 노출하는 다수의 제 2 콘택홀과, 상기 게이트 배선의 끝단 일부를 노출하는 제 3 콘택홀을 형성하고, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와; 상기 패터닝된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하여 제 1 투명 전극층을 형성하는 단계와;

<51> 상기 제 1 투명 전극층 상부에 컬러필터를, 상기 게이트 패드의 일부와 상기 게이트 배선의 끝단에 걸쳐 구성된 제 1 투명 전극층의 상부에 컬러필터 패터를 형성하는 단계와; 상기 컬러필터가 형성된 기판의 전면에서 제 2 투명전극층을 형성하고, 제 2 투명전극층과 하부의 제 1 투명전극층을 동시에 패터닝하여, 상기 화소영역에 대응하여 상기 컬러필터 패터를 사이에 두고 접촉한 이중층의 화소전극과, 상기 게이트 패드와 접촉한 이중층의 게이트 패드 단자와, 상기 컬러필터 패터가 개재되고 상기 게이트 패드와 게이트 배선을 연결하는 접촉전극과, 상기 데이터 패드와 접촉하는 이중층의 데이터 패드 단자를 형성하는 단계를 포함한다.

<52> 전술한 공정 중, 상기 액티브층과 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계는, 상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에서 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 오믹 콘택층과 금속층을 적층하는 단계와; 상기 금속층 상부에 포토레지스트층을 형성하고, 포토 레지스트층과 이격된 상부에 투과부의 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부에 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 게이트 전극 상부에 서로 다른 높이로 패터닝된 제 1 포토패턴과, 상기 게이트 배선과는 수직인 형상으로 제 2 포토패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토패턴 사이로 노출된 금속층과 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 데이터 배선과 이에 연장된 소스-드레인 전극층과, 소스-드

레인 전극층의 하부에 제 1 반도체층과 제 1 반도체층에서 상기 데이터 배선의 하부로 연장된 제 2 반도체층을 형성하는 단계와; 상기 제 1 및 제 2 포토 패턴을 애싱하는 공정을 진행하여, 상기 소스-드레인 전극층의 중앙부를 노출하는 단계와; 상기 노출된 소스 드레인 전극층을 식각하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 더욱 포함한다.

<53> 이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.

<54> -- 제 1 실시예 -- ,

<55> 도 3은 본 발명에 따른 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 도면이다.

<56> 도시한 바와 같이, 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(122)를 포함하는 게이트 배선(102)을 서로 평행하게 구성하고, 상기 게이트 배선(102)과 수직하게 교차하여 다수의 화소영역(P)을 정의하고 일 끝단에 데이터패드(118)를 포함하는 데이터 배선(116)을 형성한다.

<57> 이때, 상기 게이트 패드(122)는 상기 데이터 배선(116) 및 데이터패드(118)와 동일층 동일물질로 구성한다.

<58> 상기 게이트 배선(102)과 데이터 배선(116)이 교차하는 지점에는 게이트 전극(104)과 액티브층(108)과 소스 및 드레인 전극(112, 114)을 포함하는 박막트랜지스터(T)를 구성한다.

<59> 상기 두 배선(102, 116)이 교차하여 정의되는 영역(P)에는 드레인 전극(114)과 접촉하는 화소전극(148, 150)과 컬러필터(140a, 140b, 140c)를 구성한다.

- <60> 상기 화소 전극(148,150)은 이중 층으로 구성되며, 이중 제 1 전극(148)은 드레인 전극(114)과 접촉하면서 컬러필터(140a,140b,140c)의 하부에 구성하고, 제 2 전극(160)은 컬러필터(140a,140b,140c)의 상부에 구성한다.
- <61> 상기 제 2 전극(150)은 상기 제 1 전극(148)을 통해 드레인 전극(114)과 간접적으로 접촉하는 형상이다.
- <62> 제 1 및 제 2 투명 전극(148,150)은 게이트배선(102)의 상부에 구성된 스토리지 캐패시터(보조 용량부)(C_{st})와 병렬로 연결된다.
- <63> 스토리지 캐패시터(보조 용량부)(C_{st})는 게이트 배선(102)의 상부에 구성되고, 상기 제 1 및 제 2 화소전극과 접촉하는 섬형상의 금속층(120)을 제 1 전극으로 하고, 그 하부의 게이트 배선(102)을 제 2 전극으로 한다.
- <64> COT(color filter on TFT)구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(128)와, 적, 녹, 청색의 컬러필터(140a,140b,140c)가 구성된 형태이다.
- <65> 블랙매트릭스(128)는 빛샘영역을 가리는 역할을 하며, 게이트 배선 및 데이터 배선(102,116)과 박막트랜지스터(T)에 대응하여 구성한다.
- <66> 상기 블랙매트릭스(128)는 불투명한 유기물질을 도포하여 형성하며, 빛을 차단하는 역할과 함께 박막트랜지스터(T)를 보호하는 보호막의 역할을 하게 된다
- <67> 전술한 구성에서, 상기 게이트 패드(122)를 형성할 때, 상기 컬러필터(140a,140b,140c)를 패터닝하는 약액에 강한 데이터 배선 물질로 형성함으로서 게이트 패드(122)가 데미지를 입지 않는 구조이며, 이러한 구조에서 상기 게이트 배선(102)과 게이트 패드(122)를 연결하는 접촉

전극(160,162)의 상부에 별도의 컬러필터 패턴(142)을 구성함으로써, 상기 게이트 배선(102)이 컬러필터를 패턴하는 약액에 데미지를 입지 않도록 하는 구조이다.

<68> 이하, 도 4a 내지 도 4f와 도 5a 내지 도 5f와 도 6a 내지 도 6f를 참조하여, 본 발명의 실시예에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.

<69> 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 3의 IV-IV', V-V', VI-VI'를 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서로 도시한 공정 단면도이다.

<70> (도 3의 절단선 IV-IV'는 박막트랜지스터와 화소의 절단선이고, V-V'는 게이트 패드부의 절단선이고, VI-VI'은 데이터 패드부의 절단선이다.)

<71> 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(100)상에 도전성 금속을 증착하고 제 1 마스크 공정으로 패턴하여, 게이트 배선(102)과, 게이트 배선에서 연장된 게이트 전극(104)을 형성한다.

<72> 상기 게이트 배선(102)과 게이트 전극(104)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 1 절연층인 게이트 절연막(106)을 형성한다.

<73> 상기 게이트 절연막(106)상에 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 증착하고 제 2 마스크 공정으로 패턴하여, 게이트 전극(104)상부의 게이트 절연막(106)상에 액티브층(108)과 오믹 콘택층(110)을 형성한다.

<74> 다음으로 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 액티브층(108)과 오믹 콘택층(110)이 형성된 기판(100)의 전면에 크롬(Cr)과 몰리브덴(Mo)을 증착하고 제 3 마스크 공정으로 패턴하여, 상기 오믹 콘택층(110)과 각각 접촉하는 소스 전극(112)과 드레인 전극(114)과,

상기 소스전극(112)과 연결되고 일 끝단에 데이터 패드(118)를 포함하는 데이터배선(116)과, 상기 게이트 배선(102)의 상부에 아일랜드 형상의 금속층(120)을 형성한다.

- <75> 동시에, 상기 게이트 배선(102)의 끝단에 대응하여 섬형상의 게이트 패드(122)를 형성한다.
- <76> 상기 소스 및 드레인 전극(112,114)과 데이터 패드(122)를 포함하는 데이터 배선(116)과 게이트 패드(122)가 형성된 기판(100)의 전면에 질화 실리콘(SiN_2)과 산화 실리콘(SiO_2)을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(124)을 형성한다.
- <77> 이때, 제 2 절연막(124)의 기능은 이후에 형성되는 유기막(미도시)과 상기 액티브층(108)사이에 발생할 수 있는 접촉불량을 방지하기 위한 기능을 한다.
- <78> 제 2 절연막(124)은 상기 유기막과 액티브층(108)사이에 접촉불량이 발생하지 않는다면 굳이 형성하지 않아도 좋다.
- <79> 전술한 바와 같은 공정을 통해 박막트랜지스터 어레이부를 형성하는 공정이 완료된다.
- <80> 다음으로, 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 상기 제 2 절연막(124)상부에 유전율이 낮은 불투명한 유기물질을 도포하여 블랙 유기층(126)을 형성하고 제 4 마스크 공정으로 패터닝하여, 상기 박막트랜지스터(T)와 데이터 패드(118)를 제외한 데이터 배선(116)과 게이트 패드(122)를 제외한 게이트 배선(102)의 상부에 블랙매트릭스(128)를 형성한다.
- <81> 다음으로, 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 상기 블랙매트릭스(128)가 형성된 기판(100)의 전면에 절연물질을 증착하여 제 3 절연막(130)을 형성한다.
- <82> 상기 제 3 절연막(130)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 형성한다.

- <83> 도 4e와 5e와 도 6e에 도시한 바와 같이, 제 5 마스크 공정으로 상기 제 3 절연막(130)과 제 2 절연막(124)과 게이트 절연막(106)을 식각하여, 상기 드레인 전극(114)일 측과 화소영역(P)과, 상기 섬형상의 금속층(122)의 일측을 노출하고, 게이트 패드(122)와 데이터 패드(118)를 노출하는 제 1 및 제 2 콘택홀(132,134)과, 상기 게이트 패드(122)와 근접한 게이트 배선(102)의 끝단을 노출하는 제 3 콘택홀(136)을 형성한다.
- <84> 도 4f와 5f와 도 6f에 도시한 바와 같이, 상기 패터닝된 제 3 절연막(130)이 형성된 기판(100)의 전면에 전술한 바와 같은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하여 제 1 투명전극층(138)을 형성한다.
- <85> 연속하여, 상기 제 1 투명전극층(138)이 형성된 기판(100)의 전면에 컬러수지를 도포하여, 다수의 화소영역(P)에 적색과 녹색과 청색의 컬러필터(140a,140b,도 3의 140c)를 각각 형성한다.
- <86> 이때, 상기 게이트 패드(122)를 노출하는 일부 제 1 콘택홀(132)과, 상기 게이트 배선(102)을 노출하는 제 3 콘택홀(134)에 대응하는 상부에 별도의 컬러필터패턴(142)을 형성하여 준다.
- <87> 다음으로, 상기 화소영역(P)에 대응하여 컬러필터(140a,140b,도 3의 140c)가 형성되고, 상기 게이트 패드(122)에 컬러필터 패턴(142)이 형성된 기판(100)의 전면에 제 2 투명전극층(146)을 형성한다.
- <88> 연속하여, 상기 제 1 투명 전극층(138)과 제 2 투명 전극층(146)을 제 6 마스크 공정으로 패터닝하여, 상기 화소영역(P)에 대응하여 상기 드레인 전극(114)과 섬형상의 금속층(120)과

접촉하는 제 1 화소전극(148)과, 상기 제 1 화소전극(148)과 컬러필터(140a, 140b, 140c)를 사이에 두고 접촉하여 구성된 제 2 화소전극(150)을 형성한다.

<89> 동시에, 상기 게이트 패드(122)와 접촉하는 제 1 및 제 2 게이트 패드 단자(152, 154)와, 상기 게이트 패드(122)와 게이트 배선(102)에 걸쳐 접촉하면서 컬러필터 패턴(142)이 개재된 제 1 및 제 2 접촉전극(160, 162)과, 상기 데이터 패드(118)와 접촉하는 제 1 및 제 2 데이터 패드 단자(156, 158)를 형성하다.

<90> 상기 접촉전극(160, 162)의 상부에 컬러필터 패턴(142)을 형성하지 않게 되면, 컬러필터를 패턴하는 약액에 의해 상기 접촉전극(160, 162)과 게이트 배선(102) 사이에 갈바닉 현상이 발생하여, 상기 게이트 배선(102)이 부식되는 문제가 발생할 수 있다.

<91> 전술한 바와 같은 공정으로 본 발명의 제 1 실시예에 따른 COT구조의 액정표시장치용 기판을 제작할 수 있으며, 상기 게이트패드를 데이터 배선 물질과 동일물질(즉, 크롬(Cr) 이나 몰리브덴(Mo)으로 형성함으로서, 상기 컬러필터를 패턴하는 약액에 의해 데미지를 입지 않는 장점이 있다.

<92> 전술한 공정은 상기 컬러필터 패턴을 형성하는 마스크 공정을 제외하고 대략, 6마스크 공정으로 제작된다.

<93> 이하, 제 2 실시예는 전술한 구성을 컬러필터 패턴을 형성하는 마스크 공정을 제외하고 5 마스크 공정으로 제작할 수 있는 방법을 제안한다.

<94> -- 제 2 실시예 --

- <95> 본 발명의 제 2 실시예는 전술한 박막트랜지스터 어레이부의 공정에서 상기 소스 및 드레인 전극과 액티브층을 한꺼번에 패터닝하여 COT 구조의 액정표시장치용 어레이기판을 제작하는 방법을 제안한다.
- <96> 도 7은 본 발명의 제 2 실시예에 따른 COT구조의 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 평면도이다.
- <97> 도시한 바와 같이, 기판(200)상에 일 방향으로 연장되고 일 끝단에 게이트패드(232)를 포함하는 게이트 배선(202)을 서로 평행하게 구성하고, 상기 게이트 배선(202)과 수직하게 교차하여 다수의 화소영역(P)을 정의하며 일 끝단에 데이터 패드(230)를 포함하는 데이터 배선(224)을 구성한다. 이때, 상기 게이트 패드(232)는 상기 데이터 배선(224)과 동일층 동일물질로 형성한다.
- <98> 상기 게이트 배선(202)과 데이터 배선(224)이 교차하는 지점에는 게이트 전극(204)과 액티브층(236a)과 소스 및 드레인 전극(246,248)을 포함하는 박막트랜지스터(T)를 구성한다.
- <99> 이때, 상기 소스 및 드레인 전극(246,248)과 액티브층(238a)은 동일한 공정에서 동시에 형성되며, 이러한 경우에는 도시한 바와 같이, 필연적으로 상기 데이터 배선(224)과 소스 및 드레인 전극(246,248)과 게이트 패드(232)의 주변으로 비정질 실리콘층(234a,236a,240a)이 노출되는 형상이 된다.
- <100> 상기 두 배선(202,224)이 교차하여 정의되는 화소영역(P)에는 드레인 전극(248)과 접촉하는 투명 화소전극(272,274)과 컬러필터(266a,266b,266c)를 구성한다.

- <101> 상기 투명 화소전극(272,274)은 이중 층으로 구성되며, 이중 제 1 전극(272)은 드레인 전극(248)과 접촉하면서 컬러필터(266a,266b,266c)의 하부에 구성하고, 제 2 전극(274)은 컬러 필터(266a,266b,266c)의 상부에 구성한다.
- <102> 상기 제 2 전극(274)은 상기 제 1 전극(272)을 통해 드레인 전극(248)과 간접적으로 접촉하는 형상이다.
- <103> 제 1 및 제 2 전극(272,274)은 게이트배선(202)의 상부에 구성된 스토리지 캐패시터(C_{st})와 병렬로 연결된다.
- <104> 스토리지 캐패시터(C_{st})는 게이트 배선(202)의 일부를 제 1 전극으로 하고, 상기 제 1 및 제 2 투명전극(272,274)과 연결되는 동시에 상기 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 금속층(228)을 제 2 전극으로 한다.
- <105> 이때, 상기 섬형상의 금속층(228) 또한 주변으로 비정질 실리콘층(238a)이 노출되는 형상이 된다.
- <106> COT구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(254)와, 적, 녹, 청색의 컬러필터(266a,266b,266c)가 구성된 형태이다.
- <107> 블랙매트릭스(254)는 빛샘영역을 가리는 역할을 하며, 게이트 배선 및 데이터 배선(202,224)과 박막트랜지스터(T)에 대응하여 구성한다.
- <108> 상기 블랙매트릭스(254)는 불투명한 유기물질을 도포하여 형성하며, 빛을 차단하는 역할과 함께 박막트랜지스터를 보호하는 보호막의 역할을 하게 된다.

- <109> 이하, 도 8a 내지 도 8j와 도 9a 내지 도 9j와 도 10a 내지 도 10j를 참조하여 본 발명의 제 2 실시예에 따른 COT구조의 박막트랜지스터 어레이부와 컬러필터부의 제조공정을 설명한다.
- <110> 도 8a 내지 도 8j와 도 9a 내지 도 9j와 도 10a 내지 도 10j는 도 7의 VIII-VIII', IX-IX', X-X'을 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서로 도시한 공정 단면도이다.(각 공정마다 사진식각 공정을 반드시 거쳐 진행되며, 본 설명에서는 제 2 마스크 공정만을 자세히 서술 하도록한다.)
- <111> 도 8a와 도 9a와 도 10a에 도시한 바와 같이, 기판(200)상에 박막트랜지스터 영역(T)과 화소영역(P)과 데이터 영역(데이터 배선과 데이터 패드를 포함)(D)과 스토리지 영역(S)과 게이트 패드 영역(G)을 정의한다.
- <112> 상기 다수의 영역(D,T,P,S,G)이 정의된 기판(200)의 전면에 도전성 금속을 증착하고 제 1 마스크 공정으로 패터하여, 게이트 배선(202)과 게이트 전극(204)을 형성한다.
- <113> 다음으로, 도 8b와 도 9b와 도 10b에 도시한 바와 같이, 상기 게이트 배선(202)과 게이트 전극(204)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여, 제 1 절연층인 게이트 절연막(208)을 형성한다.
- <114> 상기 게이트 절연막(208)상에 순수 비정질 실리콘(a-Si:H)층(210)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)층(212)과 제 2 금속층(214)을 순차적으로 형성한다. 연속하여, 상기 제 2 금속층(214)의 상부에 포토레지스트를 도포하여 PR층(216)을 형성한다.

- <115> 이때, 상기 제 2 금속층은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 알루미늄합금(AlNd)을 포함하는 도전성 금속그룹 중 선택된 하나로 형성할 수 있다.
- <116> 연속하여, 상기 기판(200)과 이격된 상부에 투과부(A)와 차단부(B)와 반투과부(C)로 구성된 마스크(M)를 위치시킨다.
- <117> 이때, 상기 차단부(B)는 데이터 영역(D)과 게이트 패드 영역(G)과 박막트랜지스터 영역(T)과 스토리지 영역(S)에 대응하고, 상기 반투과부(C)는 상기 박막트랜지스터 영역(T)의 일부에 대응하고, 상기 투과부(A)는 화소영역(P)에 대응하도록 구성한다.
- <118> 상기 마스크(M)의 상부로 빛을 조사하여 하부의 PR층(216)을 노광하고 현상하게 되면, 도 8c와 도 9c와 도 10c에 도시한 바와 같이, 상기 박막트랜지스터 영역(T)에 대응하여 높이가 다른 PR패턴(220a)이 남게 되고, 상기 데이터 영역(D)과 스토리지 영역(S)과 게이트 패드 영역(G)에는 원래 도포된 높이 그대로의 PR패턴(220b)이 남게 된다.
- <119> 상기 박막트랜지스터 영역(T)에 대응한 부분의 PR패턴(220a)의 높이가 서로 다른 이유는, 상기 마스크(도 6b의 M)의 반투과부(C)에 대응한 부분이 상부로부터 일부만 노광되고 현상되었기 때문이다.
- <120> 연속하여, 상기 패턴된 PR층(220a, 220b)사이로 노출된 하부의 제 2 금속층(214)과 불순물 비정질 실리콘층(212)과 순수 비정질 실리콘층(210)을 제거하는 공정을 진행하면, 상기 패턴된 PR층(220a, 220b)의 하부에 구성되고, 상기 데이터 영역(D)에 대응하여 일 끝단에 데이터 패드(230)를 포함하는 데이터 배선(224)과, 상기 데이터 배선(224)과 연결되면서 상기 박막트랜지스터 영역(T)에 섬형상으로 구성된 소스-드레인 전극층(226)과, 상기 스토리지 영역(S)에

형성된 섬형상의 금속층(228)과 상기 게이트 패드 영역에 섬 형상의 게이트 패드(232)가 형성된다.

<121> 동시에, 상기 데이터 배선(224)과 데이터 패드(230)의 하부에는 제 1 반도체 패턴(234)이 구성되고, 제 1 반도체 패턴(234)에서 상기 소스-드레인 전극층(226)의 하부로 연장된 제 2 반도체 패턴(236)이 구성되고, 상기 섬형상의 금속층(228)의 하부에는 제 3 반도체 패턴(238)이 구성되고, 상기 게이트 패드(232)의 하부에 제 4 반도체 패턴(240)이 구성된다.

<122> 각각은 패턴된 순수 비정질 실리콘층(234a, 236a, 238a, 240a)과 불순물 비정질 실리콘층(234b, 236b, 238b, 240b)이 적층된 형상이다.

<123> 다음으로, 도 8d와 도 9d와 도 10d에 도시한 바와 같이, 박막트랜지스터에 의 액티브 채널층을 노출하기 위한 전단계인 PR패턴을 식각하는 애싱공정을 나타낸 도면이다.

<124> 상기 마스크의 반투부(도 6b의 C)에 대응하여 일부만 노광된 부분은 이후 형성되는 액티브 채널에 대응하는 부분(E)이며, 일차로 이를 제거하기 위한 애싱공정(ashing processing)을 진행하게 된다. 상기 애싱공정은 일종의 건식식각 공정과 같으며, 상기 액티브 채널층에 대응하는 부분(E)의 PR패턴의 높이만큼 PR패턴이 전체적으로 제거된다.

<125> 상기 애싱공정을 통해 전체적으로 낮아진 PR패턴(242a, 242b)의 주변(F)으로 상기 데이터 패드(230)를 포함하는 데이터 배선(224)과 소스-드레인 전극층(226)과, 섬형상의 금속층(228)과 게이트 패드(232)의 일부가 노출되는 현상이 필연적으로 발생하게 된다.

<126> 상기 PR패턴을 애싱하는 공정이 완료되면, 상기 액티브채널층(E)에 대응하여 노출된 소스-드레인 전극층(226)과 그 하부의 비정질 실리콘층(236b)을 제거하는 공정을 진행하고, 상기 남겨진 PR 패턴을 제거한다.

- <127> 이때, 상기 PR패턴(242a,242b)의 주변(F)으로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층(234b,236b,238b,240b) 또한 제거된다.
- <128> 이와 같은 공정을 완료하면 결과적으로, 도 8e와 도 9e와 도 10e에 도시한 바와 같이, 상기 박막트랜지스터 영역(T)에 대응하여 서로 소정간격 이격되어 액티브 채널층(CH)을 노출하는 소스 전극(246)과 드레인 전극(248)과, 소스 전극(246)에서 연장되고 일 끝단에 데이터 패드(230)를 포함하는 데이터 배선(224)과, 상기 게이트 배선(202)의 끝단에 근접하여 구성된 게이트 패드(232)와, 상기 게이트 배선(202)이 일부 상부에는 섬형상의 금속층(228)을 형성할 수 있다.
- <129> 상기 각 구성요소의 주변으로는 필연적으로 순수 비정질 실리콘층(234a,236a,238a,240a)이 노출된 형상이 된다.
- <130> 이때, 상기 박막트랜지스터 영역(T)에 대응하여 구성된 순수 비정질 실리콘층(236a)을 액티브층(active layer)이라 하고, 그 상부의 불순물 비정질 실리콘층(236b)을 오믹 콘택층(ohmic contact layer)이라 한다.
- <131> 이상과 같이, 도 8a내지 도 8e와 도 9a 내지 도 9e와 도 10b 내지 도 10e를 통한 제 2 마스크 공정으로 박막트랜지스터 어레이부를 형성하는 공정이 완료되었다.
- <132> 다음으로, 도 8f와 도 9f와 도 10f에 도시한 바와 같이, 상기 소스 및 드레인 전극(246,248)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_2)과 산화 실리콘(SiO_2)을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(250)을 형성한다.
- <133> 이때, 제 2 절연막(250)의 기능은 이후에 형성되는 유기막(블랙 매트릭스)과 상기 액티브층(236a)사이에 발생할 수 있는 접촉불량을 방지하기 위한 기능을 한다.

- <134> 다음으로, 상기 제 2 절연막(250)상부에 유전율이 낮은 불투명한 유기물질을 도포하여 블랙 유기층(252)을 형성하고 제 3 마스크 공정으로 패터닝하여, 상기 박막트랜지스터 영역(T)과 데이터 배선(224)과 게이트 배선(202) 및 섬형상의 금속층(228)의 일부만을 가리도록 패터닝된 블랙매트릭스(254)를 형성한다.
- <135> 다음으로, 도 8g와 도 9g와 도 10g에 도시한 바와 같이, 상기 블랙매트릭스(254)가 형성된 기판(200)의 전면에 절연물질을 증착하여 제 3 절연막(256)을 형성한다.
- <136> 상기 제 3 절연막(256)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 형성한다.
- <137> 도 8h와 도 9h와 도 10h에 도시한 바와 같이, 제 4 마스크 공정으로 상기 제 3 절연막(256) 제 2 절연막(250)과 게이트 절연막(208)을 식각 하여, 상기 드레인 전극(248)의 일측과 화소영역(P)과, 상기 섬형상의 금속층(228)의 일측과, 상기 게이트 패드(232)의 일부를 노출하는 다수의 제 1 콘택홀(258)과 상기 데이터 패드의 일부를 노출하는 다수의 제 2 콘택홀(260)과, 상기 게이트 배선(202)의 일끝단을 노출하는 제 3 콘택홀(262)을 형성하는 공정을 진행한다.
- <138> 도 8i와 도 9i와 도 10i에 도시한 바와 같이, 상기 패터닝된 제 3 절연막(256)이 형성된 기판(200)의 전면에 전술한 바와 같은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하여 제 1 투명 전극층(264)을 형성한다.
- <139> 연속하여, 상기 제 1 투명전극층(264)이 형성된 기판(200)의 전면에 컬러수지를 도포하여, 다수의 화소영역(P)에 적색과 녹색과 청색의 컬러필터(266a, 266b, 266c)를 각각 형성한다.

- <140> 이때, 상기 게이트 패드(232)에 대응하는 제 1 콘택홀(9h의 258)과 게이트 배선에 대응하는 제 3 콘택홀(262)에 대응하는 상부에 별도의 컬러필터패턴(268)을 형성하여 준다.
- <141> 도 8j와 도 9j와 도 10j에 도시한 바와 같이, 상기 다수의 컬러필터(266a, 266b, 266c)가 형성된 기판(200)의 전면에 앞서 설명한 투명전극을 증착하여 제 2 투명전극층(270)을 형성하고, 상기 제 2 투명전극층(270)과 그 하부의 제 1 투명전극층(264)을 동시에 제 5 마스크 공정으로 패터닝하여, 상기 화소영역(P)에 대응하여 이중층의 화소전극(272, 274)을 형성하고, 상기 게이트 패드(232)에 대응하여 이중층의 게이트 패드 단자(276, 278)를 형성하고, 상기 데이터 패드(230)에 대응하여 이중층의 데이터 패드 단자(280, 282)를 형성하고, 상기 게이트 패드(232)와 게이트 배선(202)을 연결하고 상기 컬러필터 패턴(268)이 개재된 접촉전극(284, 286)을 형성한다.
- <142> 전술한 바와 같은 공정으로 본 발명의 제 1 실시예에 따른 COT구조의 액정표시장치용 기판을 제작할 수 있으며, 상기 게이트패드를 데이터 배선 물질과 동일물질(즉, 크롬(Cr)이나 몰리브덴(Mo)으로 형성함으로서, 상기 컬러필터를 패터닝하는 약액에 의해 데미지를 입지 않는 장점이 있다.
- <143> 전술한 공정은 상기 컬러필터 패턴을 형성하는 마스크 공정을 제외하고 대략, 5마스크 공정으로 제작된다.
- <144> 또한, 전술한 제 1 및 제 2 실시예에 따라 COT구조의 액정표시장치용 어레이기판을 제작하게 되면, 상기 게이트 패드에 컬러필터 패턴이 직접 잔존하지 않기 때문에, 이 부분에서 구동소자를 부착하거나 떼어내는 리워크 공정을 손쉽게 할 수 있다. 따라서, 수리가 쉬우므로 비용을 절감하여 수율을 개선할 수 있는 효과가 있다.

<145> 이상과 같은 방법으로 본 발명에 따른 COT 구조의 액정표시장치용 어레이기판을 제작할 수 있다.

【발명의 효과】

<146> 본 발명에 따른 COT 구조의 액정표시장치는 어레이기판에 블랙매트릭스를 설계할 때 합착오차를 위한 공정마진을 둘 필요가 없으므로 개구율을 개선하는 효과가 있다.

<147> 또한, 게이트 패드 전극이 상기 컬러필터를 패터닝하는 약액에 의해 부식되는 불량을 방지할 수 있는 효과가 있다.

<148> 또한, 패드 부분에서 리워크 공정이 손쉬워 수리가 가능하기 때문에 비용 절감에 의한 수율을 개선할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

기관 상에 일 방향으로 연장된 게이트 배선과, 게이트 배선의 일 끝단에 이와 근접하여 구성된 게이트 패드와;

상기 게이트 배선과 제 1 절연막을 사이에 두고 교차하여 화소영역을 정의하하고 일 끝단에 데이터 패드를 포함하는 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터와;

상기 드레인 전극의 일부를 제외한 박막트랜지스터와, 게이트 배선과 데이터 배선의 상부에 구성된 블랙매트릭스와;

상기 블랙매트릭스의 상부에 구성된 제 2 절연막과;

상기 노출된 드레인 전극과 접촉하면서 화소영역마다 독립적으로 구성된 투명한 제 1 화소전극과;

상기 제 1 화소전극에 대응하여 구성된 컬러필터와;

상기 컬러필터의 상부에 위치하고, 상기 제 1 전극과 접촉하는 투명한 제 2 화소전극과 ;

상기 게이트 패드와 접촉하는 이중층의 게이트 패드 단자와, 상기 데이터 패드와 이중층의 데이터 패드 단자와; 상기 게이트 패드와 게이트 배선을 연결하면서 컬러필터 패턴이 개재된 투명한 이중층의 접촉전극

을 포함하는 액정표시장치용 어레이기판.

【청구항 2】

제 1 항에 있어서,

상기 반도체층은 순수 비정질 실리콘층과 불순물 비정질 실리콘층이 적층되어 구성된 액정표시장치용 어레이기판.

【청구항 3】

제 1 항에 있어서,

상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부가 더욱 구성된 액정표시장치용 어레이기판.

【청구항 4】

제 1 항에 있어서,

상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층이 더욱 구성된 액정표시장치용 어레이기판.

【청구항 5】

제 1 항에 있어서,

상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 구성된 액정표시장치용 어레이기판.

【청구항 6】

제 1 항에 있어서,

상기 게이트 패드와 게이트 배선에 걸쳐 구성된 컬러필터 패턴은, 상기 적색과 녹색과 청색의 컬러필터 중 제일 먼저 패터닝되는 컬러필터 수지로 구성된 액정표시장치용 어레이기판.

【청구항 7】

제 1 항에 있어서,

상기 게이트 패드 단자와 접촉전극과 데이터 패드 단자는 투명한 전극물질로 구성된 액정표시장치용 어레이기판.

【청구항 8】

기판 상에 일 방향으로 연장된 게이트 배선과, 이에 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 절연막 상부의 게이트 전극 상부에 액티브층과 오믹 콘택층을 형성하는 단계와;

상기 게이트 배선과 제 1 절연막을 사이에 교차하여 화소영역을 정의하고 일끝 단에 데이터 패드를 포함하는 데이터 배선과, 상기 오믹 콘택층의 상부에 소스 및 드레인 전극과, 상기 게이트 배선의 일 끝단에 근접하여 게이트 패드를 형성하는 단계와;

상기 소스 및 드레인 전극과 게이트 배선 및 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스가 형성된 기판의 전면에 제 2 절연막을 형성한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 게이트 패드 전극의 일부를 노출하는 다수의 제 1 콘택홀과, 상기 데이터 패드의 일부를 노출하는 다수의 제 2 콘택홀과, 상기 게이트 배선의 끝단 일부를 노출하는 제 3 콘택홀을 형성하고, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와;

상기 패터닝된 제 2 절연막이 형성된 기판의 전면에 제 1 투명 전극층을 형성하는 단계와;

상기 화소영역에 대응하는 제 1 투명 전극층 상부에 컬러필터를, 상기 게이트 패드의 일부와 게이트 배선 끝단에 걸쳐 대응하는 제 1 투명 전극층의 상부에 컬러필터 패터를 형성하는 단계와;

상기 컬러필터와 컬러 필터 패터가 형성된 기판의 전면에 제 2 투명전극층을 형성하는 단계와;

상기 제 1 및 제 2 투명 전극층을 패터닝하여, 상기 화소영역에 대응하여 상기 컬러필터를 사이에 두고 접촉한 이중층의 투명 화소전극과, 상기 게이트 패드와 접촉하는 이중층의 게이트 패드 단자와, 상기 게이트 패드와 게이트 배선을 연결하고 상기 컬러필터 패터가 개재된 이중층의 접촉전극과, 상기 데이터 패드와 접촉하는 이중층의 데이터 패드 단자를 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 액티브층은 순수 비정질 실리콘으로 형성되고, 상기 오믹 콘택층은 불순물 비정질 실리콘으로 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 10】

제 8 항에 있어서,

상기 게이트 배선의 상부에 상기 이중층의 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부가 더욱 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 11】

제 8 항에 있어서,

상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 12】

제 8 항에 있어서,

상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 13】

제 12 항에 있어서,

상기 게이트 패드와 게이트 배선에 걸쳐 구성된 컬러필터 패턴은, 상기 적색과 녹색과 청색의 컬러필터 중 제일 먼저 패턴되는 컬러필터 수지로 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 14】

제 8 항에 있어서,

상기 게이트 패드 단자와 접촉전극과 데이터 패드 단자는 인듐-틴-옥사이드와 인듐-징크-옥사이드를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나로 구성된 액정표시장치용 어레이기판 제조방법.

【청구항 15】

제 8 항에 있어서,

상기 블랙매트릭스는 불투명한 감광성 유기 물질로 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 16】

제 8 항에 있어서,

상기 게이트 패드와 소스 및 드레인 전극과 데이터 배선과 데이터 패드는 크롬(Cr) 또는 몰리브덴(Mo)으로 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 17】

기판 상에 일 방향으로 연장된 게이트 배선과 이에 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부에 제 1 절연막을 사이에 두고 적층된 액티브 층과 오믹콘택층과, 오믹 콘택층과 접촉하고 소정간격 이격된 소스 전극과 드레인 전극과, 소스 전극에서 상기 게이트 배선과 수직한 방향으로 연장되어 화소영역을 정의하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과 상기 게이트 배선과 근접하여 섬형상의 게이트 패드를 형성하는 단계와;

상기 소스 및 드레인 전극과 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스가 형성된 기판의 전면에 제 2 절연막을 형성한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 게이트 패드 전극의 일부를 노출하는 다수의 제 1 콘택홀과, 상기 데이터 패드의 일부를 노출하는 다수의 제 2 콘택홀과, 상기 게이트 배선의 끝단 일부를 노출하는 제 3 콘택홀을 형성하고, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와;

상기 패터닝된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하여 제 1 투명 전극층을 형성하는 단계와;

상기 제 1 투명 전극층 상부에 컬러필터를, 상기 게이트 패드의 일부와 상기 게이트 배선의 끝단에 걸쳐 구성된 제 1 투명 전극층의 상부에 컬러필터 패턴을 형성하는 단계와;

상기 컬러필터가 형성된 기관의 전면에 제 2 투명전극층을 형성하고, 제 2 투명전극층과 하부의 제 1 투명전극층을 동시에 패터하여, 상기 화소영역에 대응하여 상기 컬러필터 패턴을 사이에 두고 접촉한 이중층의 화소전극과, 상기 게이트 패드와 접촉한 이중층의 게이트 패드 단자와, 상기 컬러필터 패턴이 개재되고 상기 게이트 패드와 게이트 배선을 연결하는 접촉전극과, 상기 데이터 패드와 접촉하는 이중층의 데이터 패드 단자를 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 18】

제 17 항에 있어서,

상기 박막트랜지스터와 상부 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 19】

제 17 항에 있어서,

상기 컬러필터 패턴은 상기 화소영역에 적색과 녹색과 청색의 컬러필터 패턴이 각각 대응되도록 형성된 액정표시장치 제조방법.

【청구항 20】

제 19 항에 있어서,

상기 게이트 패드와 게이트 배선에 걸쳐 구성된 컬러 필터 패턴은, 상기 적색과 녹색과 청색의 컬러필터 중 제일 먼저 패턴되는 컬러필터와 동시에 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 21】

제 17 항에 있어서,

상기 액티브층과 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계는,

상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 오믹 콘택층과 금속층을 적층하는 단계와;

상기 금속층 상부에 포토레지스트층을 형성하고, 포토 레지스트층과 이격된 상부에 투과부의 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부에 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 게이트 전극 상부에 서로 다른 높이로 패턴된 제 1 포토패턴과, 상기 게이트 배선과는 수직한 형상으로 제 2 포토패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토패턴 사이로 노출된 금속층과 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 데이터 배선과 이에 연장된 소스-드레인 전극층과, 소스-드레인 전극층의 하부에 제 1 반도체층과 제 1 반도체층에서 상기 데이터 배선의 하부로 연장된 제 2 반도체층을 형성하는 단계와;

상기 제 1 및 제 2 포토 패턴을 애싱하는 공정을 진행하여, 상기 소스-드레인 전극층의 중앙부를 노출하는 단계와;

상기 노출된 소스 드레인 전극층을 식각하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 22】

제 21 항에 있어서,

상기 제 1 반도체층과 제 2 반도체층은 패턴된 비정질 실리콘층과 불순물 비정질 실리콘층이 적층되어 구성된 액정표시장치용 어레이기판 제조방법.

【청구항 23】

제 22 항에 있어서,

상기 소스 및 드레인 전극층을 형성하는 공정에서, 상기 제 1 반도체층의 불순물 비정질 실리콘층이 제거되어, 소스 및 드레인 전극과 데이터 배선의 주변으로 하부의 비정질 실리콘층이 노출되는 액정표시장치용 어레이기판 제조방법.

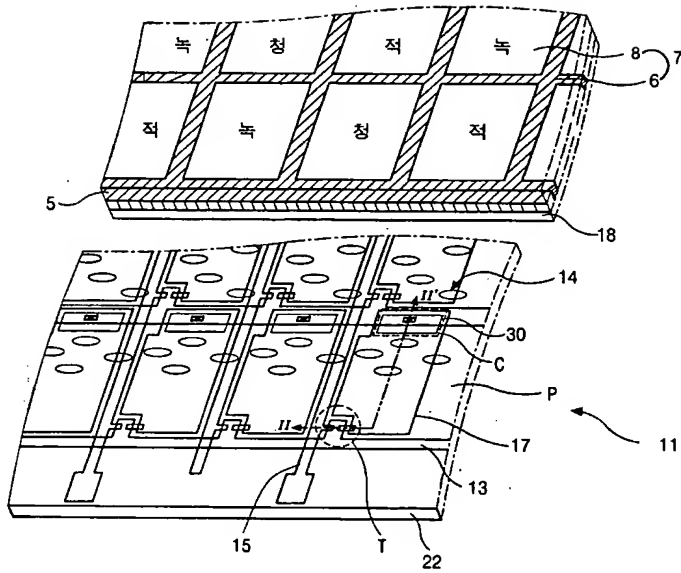
【청구항 24】

제 17 항에 있어서,

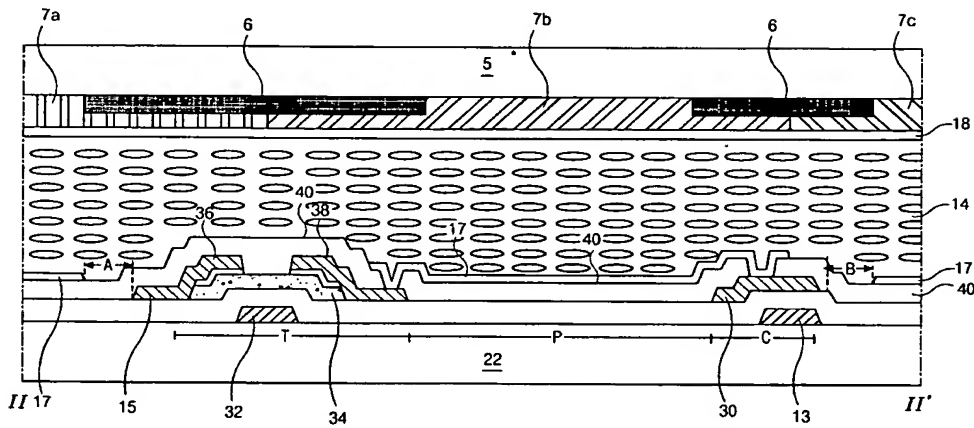
상기 소스 및 드레인 전극과 데이터배선과 게이트 패드는 크롬(Cr) 또는 몰리브덴(Mo)으로 구성된 액정표시장치용 어레이기판 제조방법.

【도면】

【도 1】



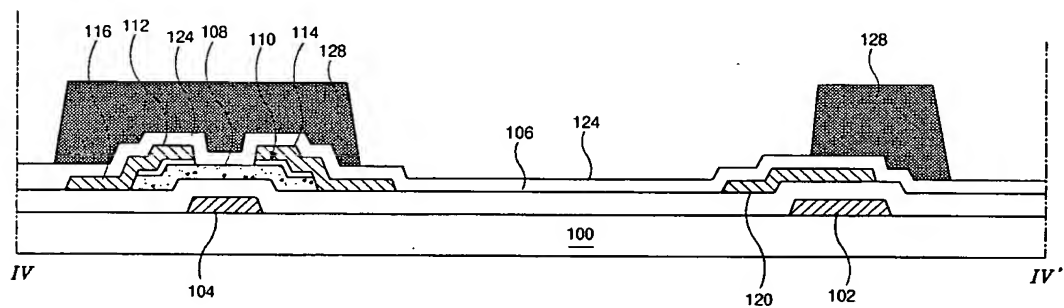
【도 2】



This cross-sectional view shows a substrate 100 with a thin layer 102 on its top surface. A gate stack 104 is formed on the substrate, consisting of a gate dielectric 106 and a gate electrode 108. A conductive layer 110 is deposited on top of the gate stack 104. The conductive layer 110 is patterned to form a gate contact 110 that connects to the gate electrode 108. The gate contact 110 is shown as a multi-layered structure, with the top layer being a conductive material and the underlying layers being insulating materials. The gate contact 110 is connected to the gate electrode 108 through a via 108. The gate contact 110 is also connected to the gate electrode 108 through a via 108. The gate contact 110 is connected to the gate electrode 108 through a via 108.

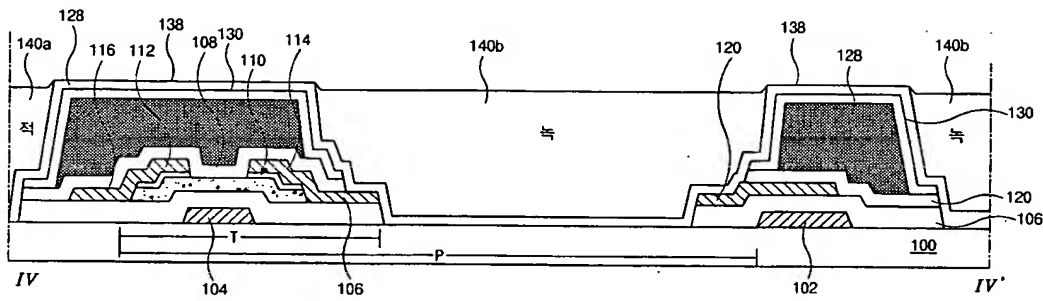
This cross-sectional view shows the device structure along line IV-IV'. It features a substrate 100 with a thin layer 206 on top. A thick layer 124 is deposited over the substrate. On the left, a gate stack is formed with layers 116, 112, 108, 110, and 114. A source region 104 is located beneath this stack. On the right, a drain region 102 is shown beneath a gate stack 120. A channel region 219 is located between the source and drain regions, within the thin layer 206.

FIG. 4 is a cross-sectional view of a semiconductor device. The device includes a substrate 100 with a thin layer 102 and a thicker layer 104. A top layer 120 is shown with a patterned layer 124 and a layer 126. Various features are labeled with numbers 102, 104, 108, 110, 112, 114, 116, 120, 124, 126, and 206. A dimension line T is shown across the substrate.

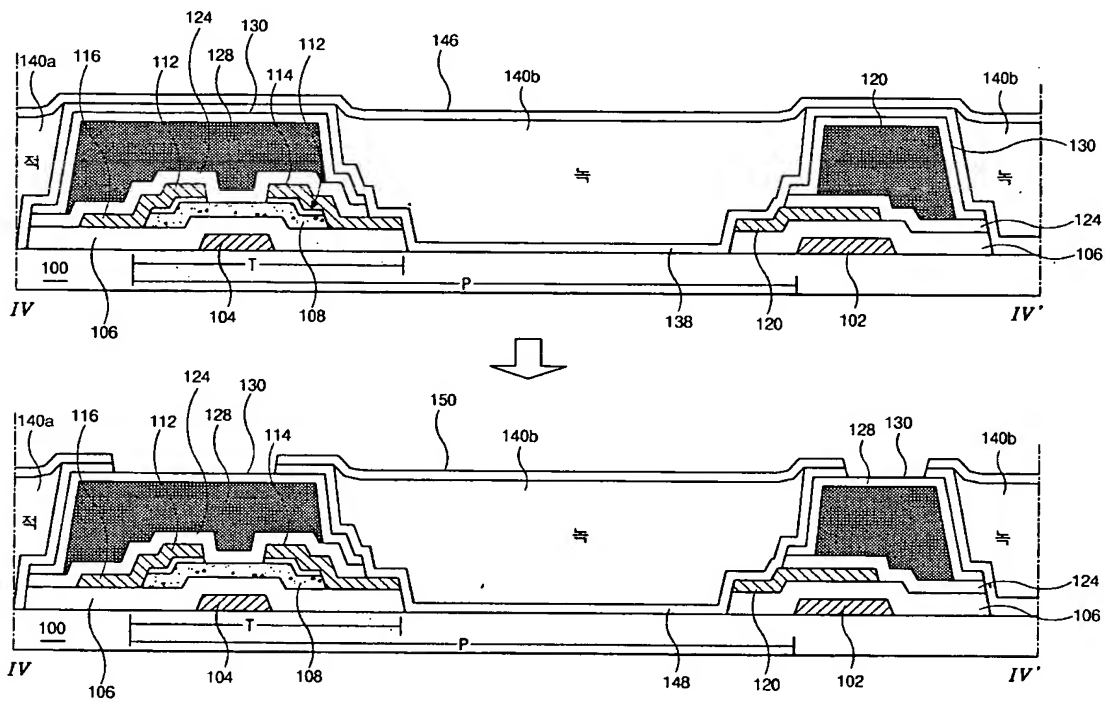


The figure shows two cross-sectional views of a semiconductor device, labeled IV and IV'. In view IV, a substrate 100 is shown with a base layer 104 and a top layer 106. A central region 110 is filled with a material 112, and a surrounding region 114 is filled with a material 116. A layer 124 is on top of 110, and a layer 128 is on top of 116. A layer 130 is on top of 124. In view IV', the device is shown after a process step, with the central region 110 now filled with a material 120, and the surrounding region 114 filled with a material 102. The layers 124, 128, and 130 are still present, and the substrate 100 is still shown.

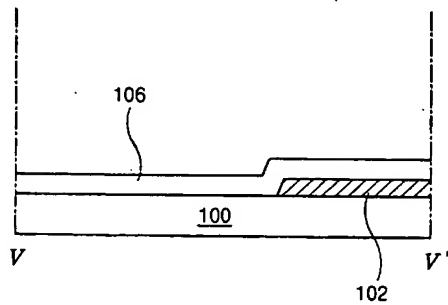
【도 4f】



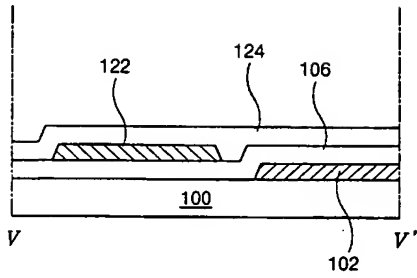
【도 4g】



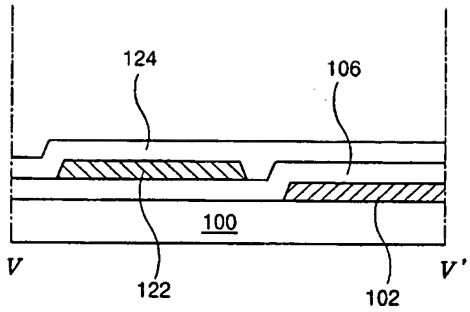
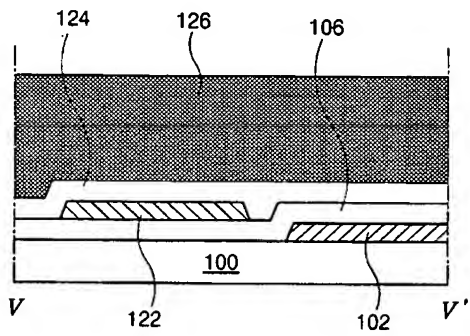
【도 5a】



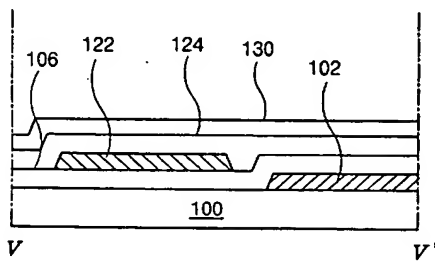
【도 5b】



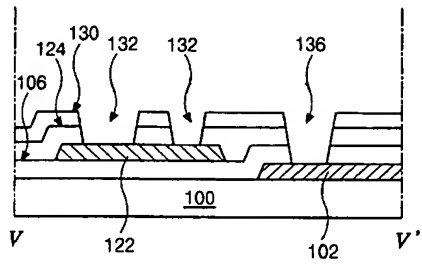
【도 5c】



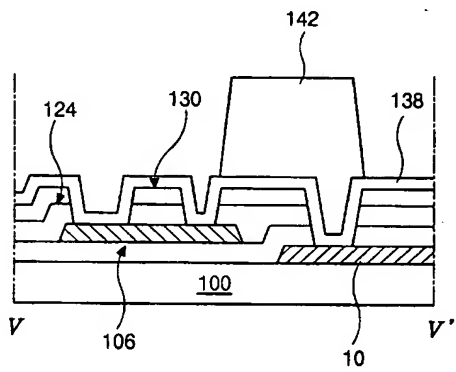
【도 5d】



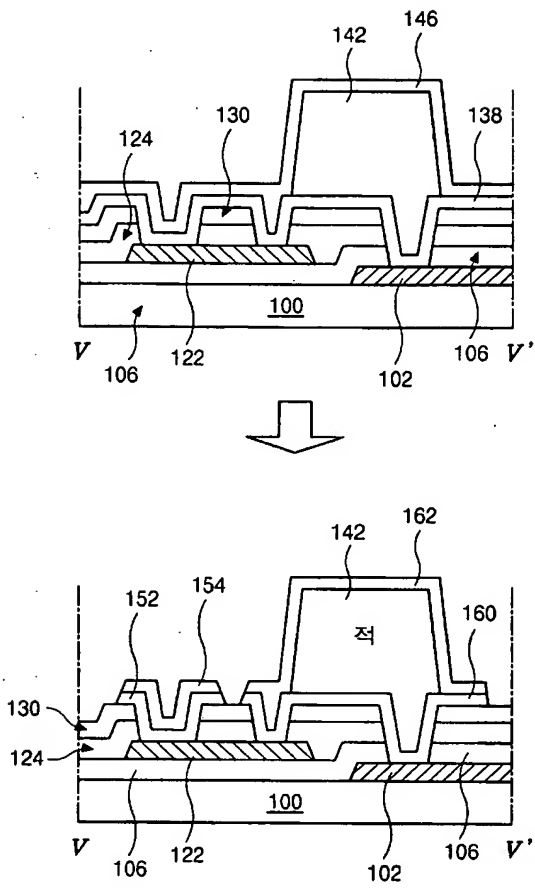
【도 5e】



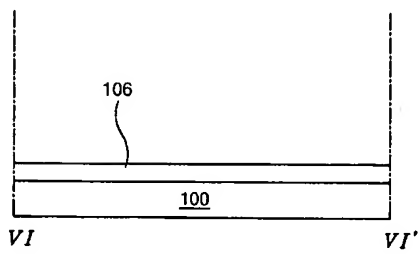
【도 5f】



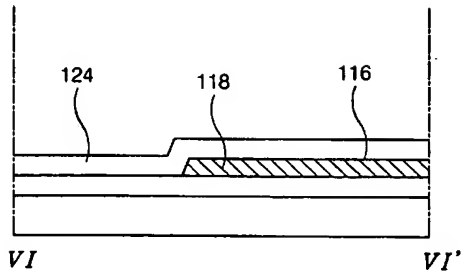
【도 5g】



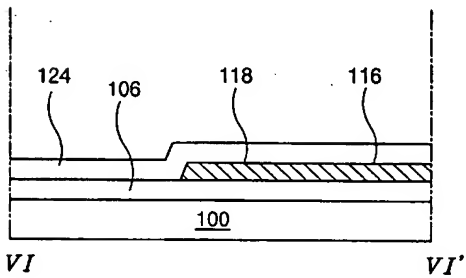
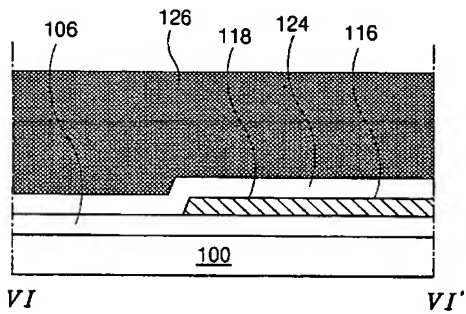
【도 6a】



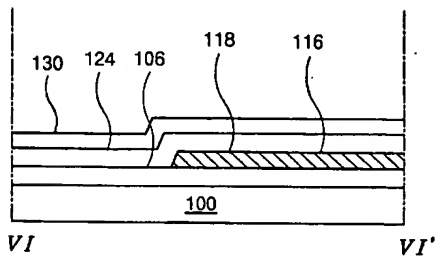
【도 6b】



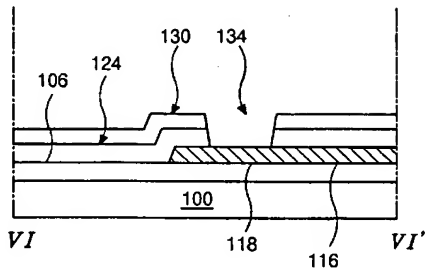
【도 6c】



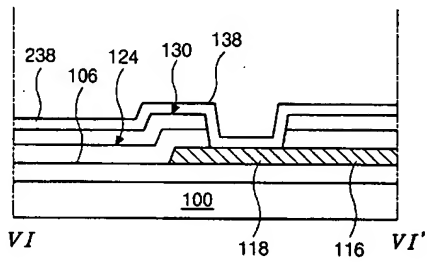
【도 6d】



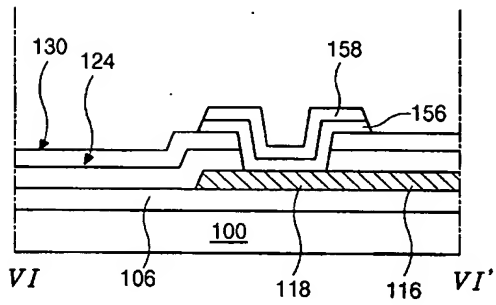
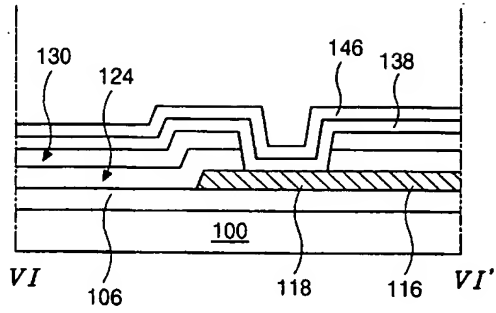
【도 6e】



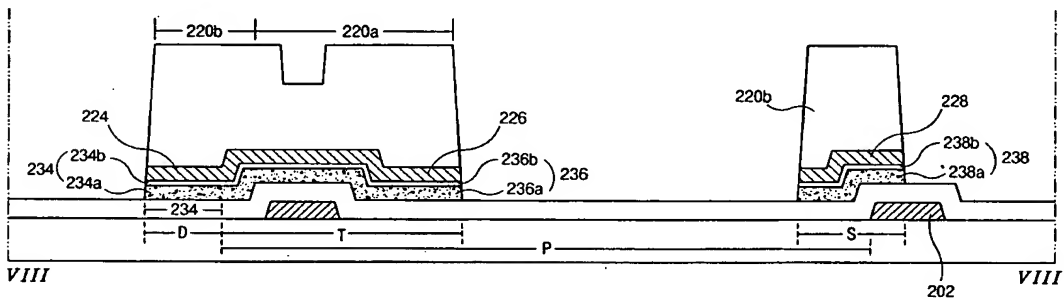
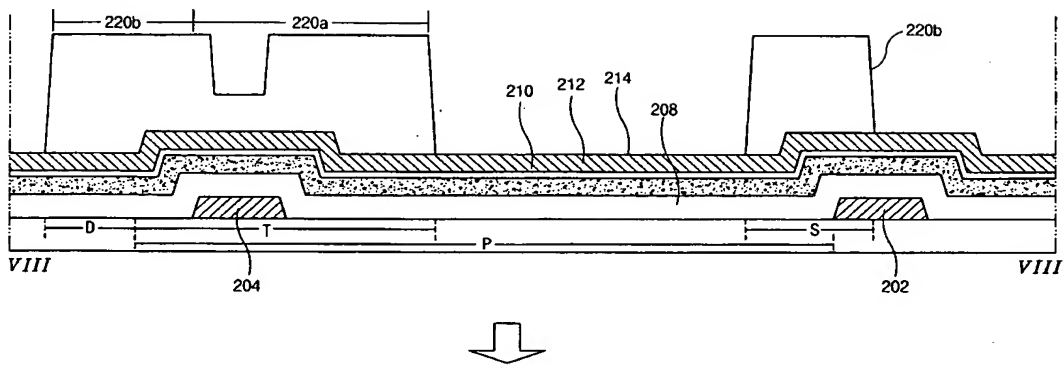
【도 6f】



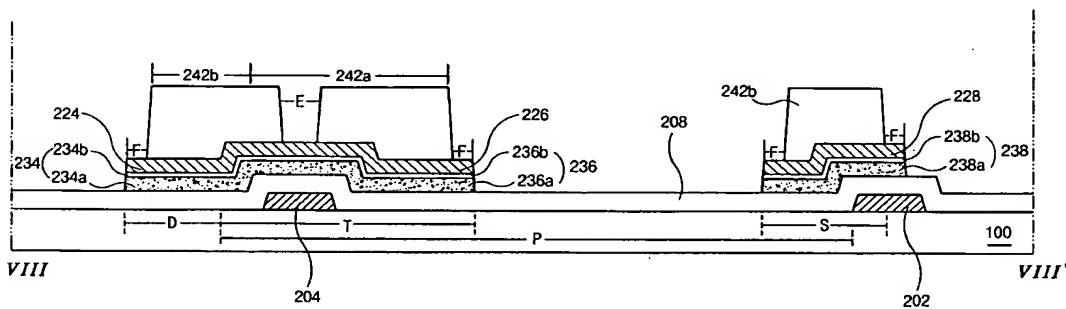
【도 6g】



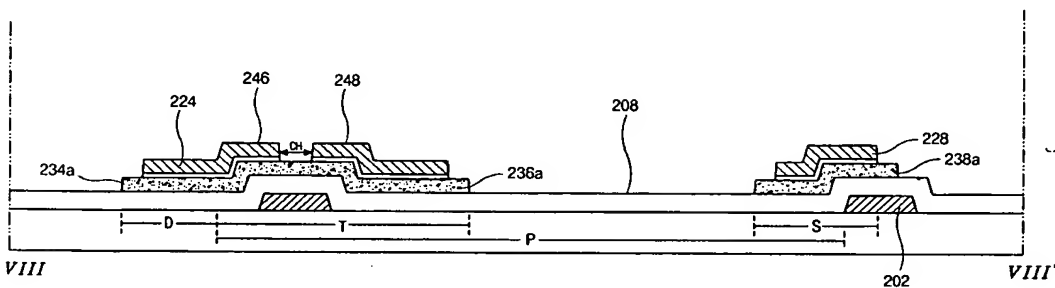
【도 8c】



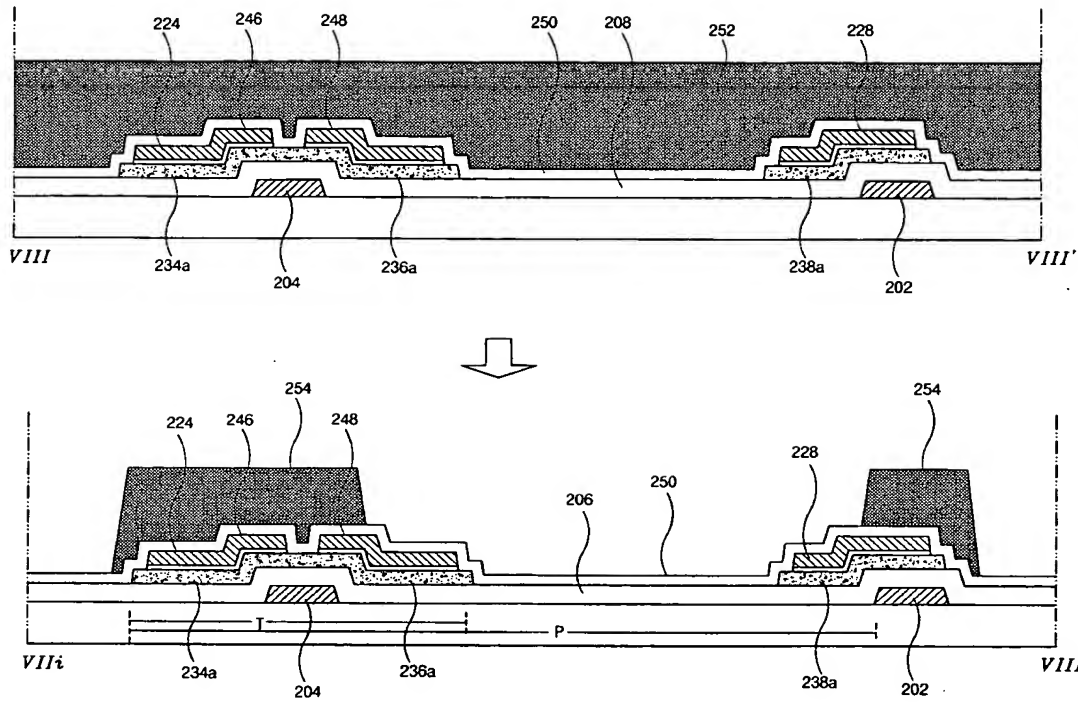
【도 8d】



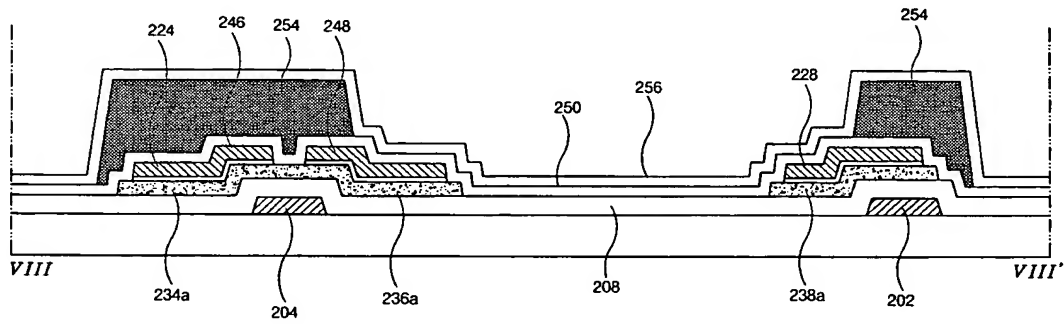
【도 8e】



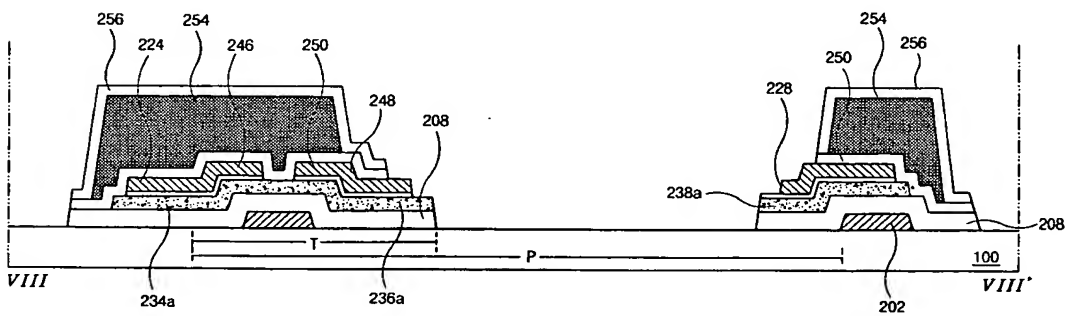
【도 8f】



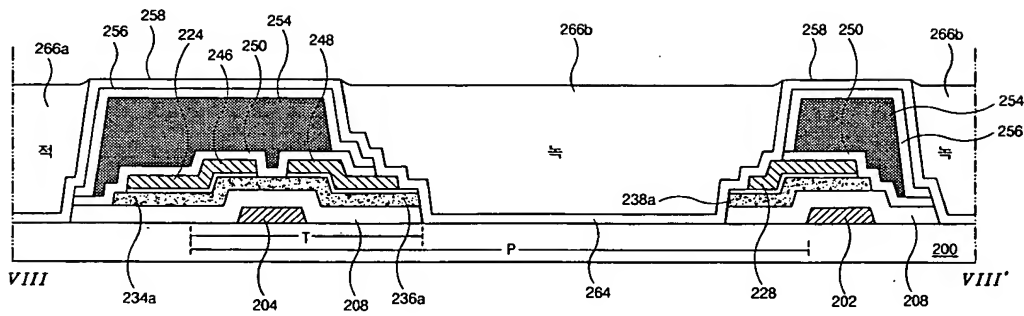
【도 8g】



【도 8h】

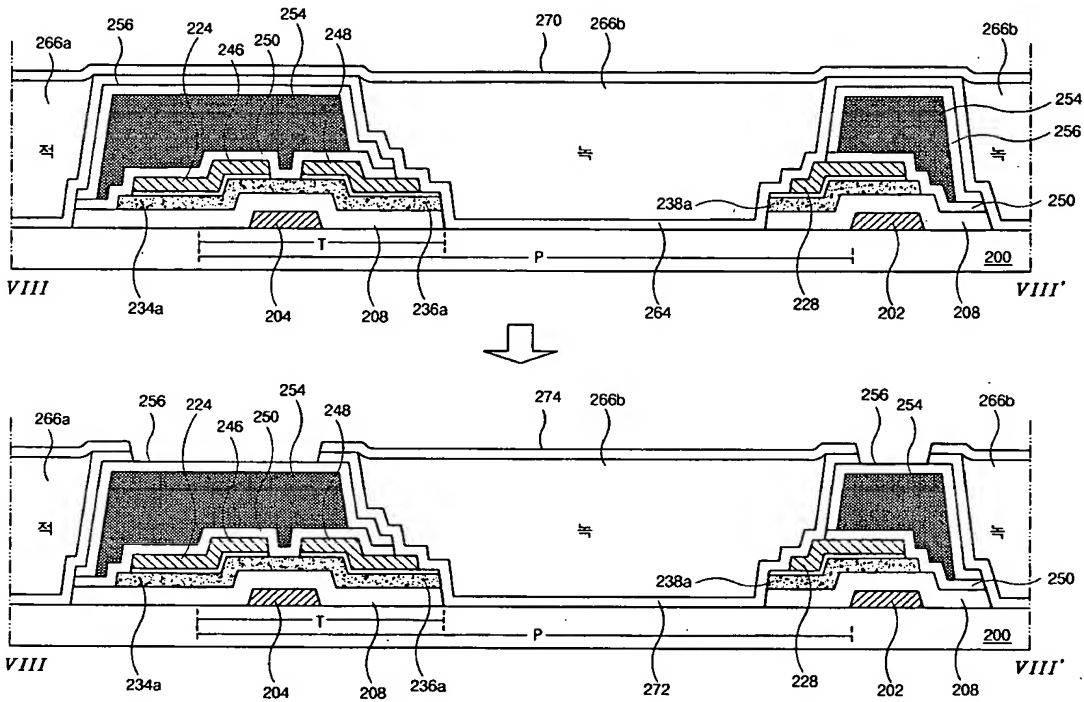


【도 8i】

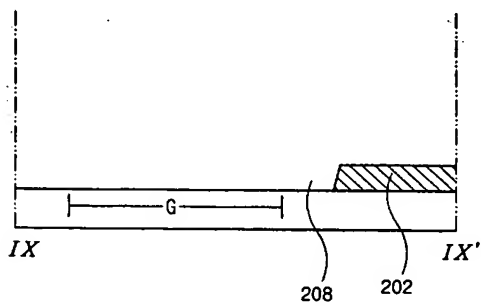


【도 8j】

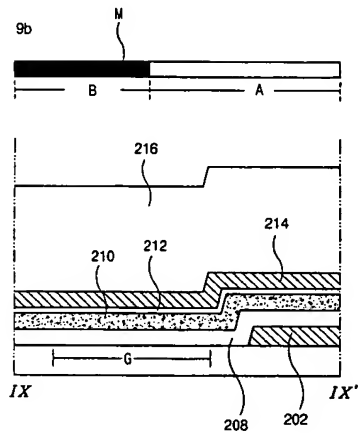
8j



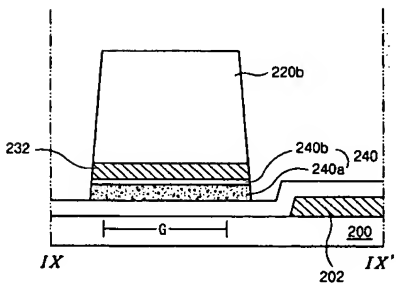
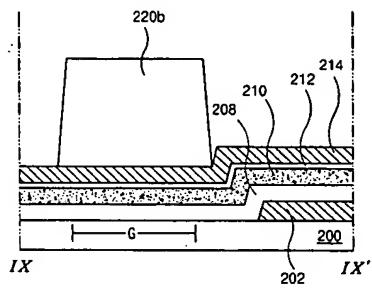
【도 9a】



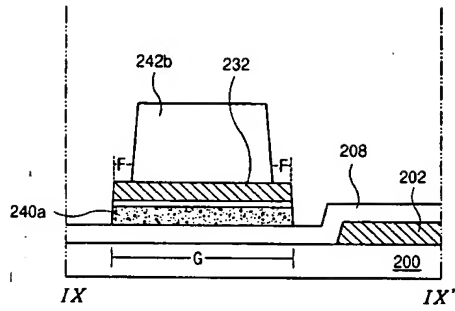
【도 9b】



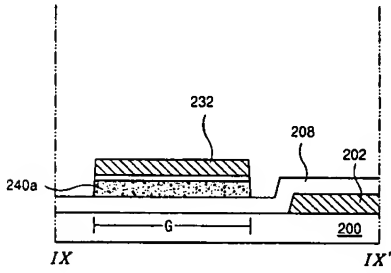
【도 9c】



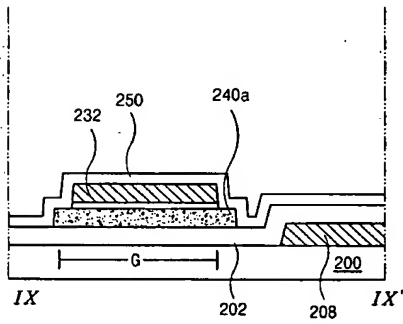
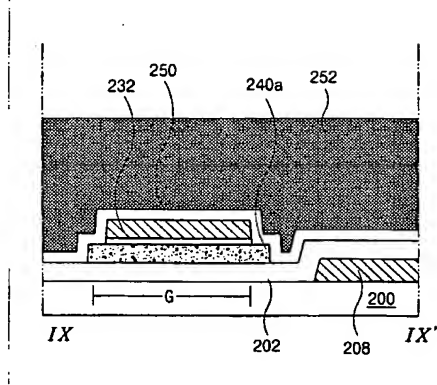
【도 9d】



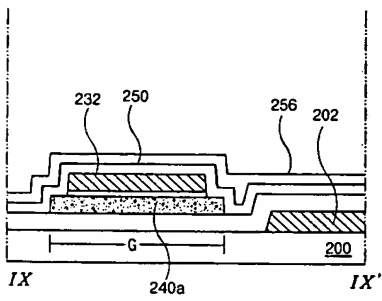
【도 9e】



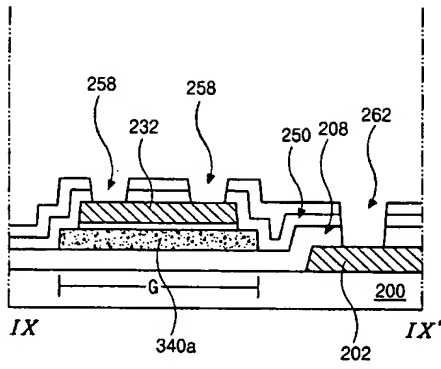
【도 9f】



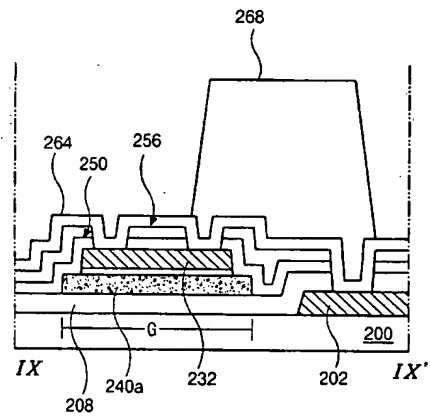
【도 9g】



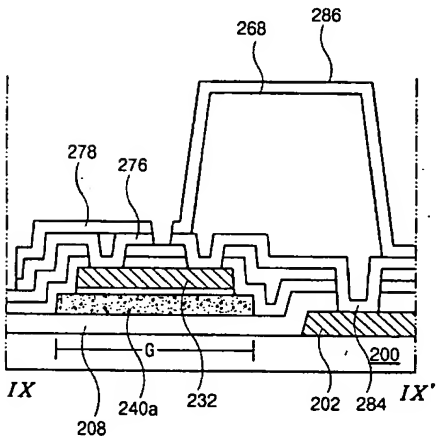
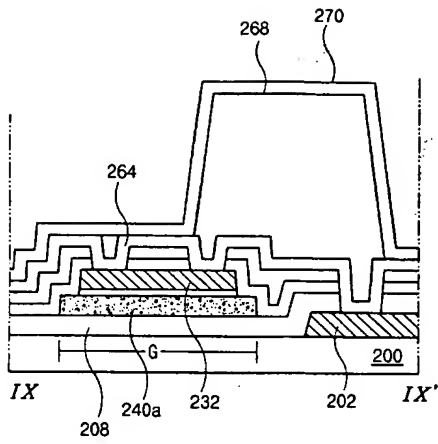
【도 9h】



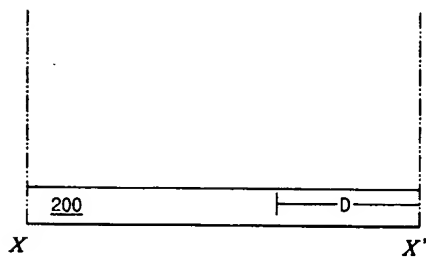
【도 9i】



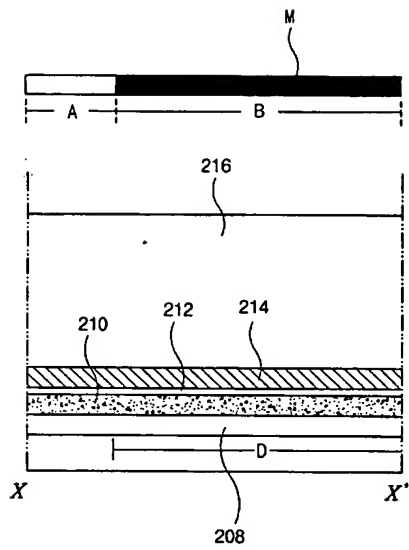
【도 9j】



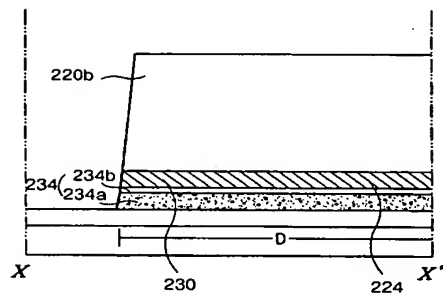
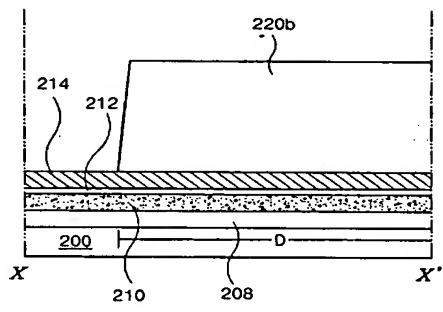
【도 10a】



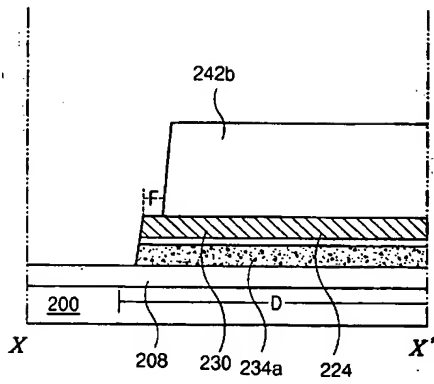
【도 10b】



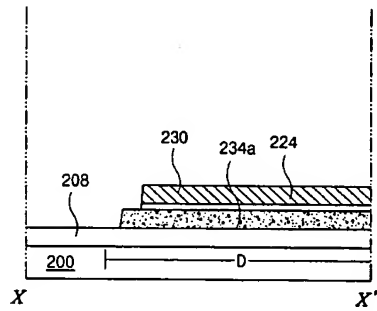
【도 10c】



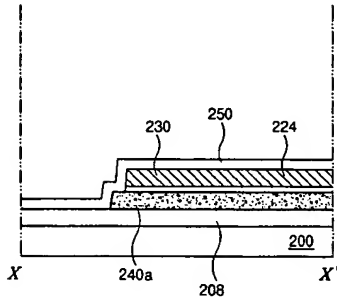
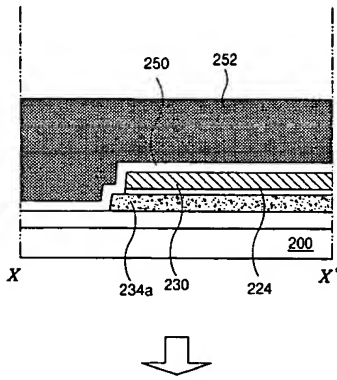
【도 10d】



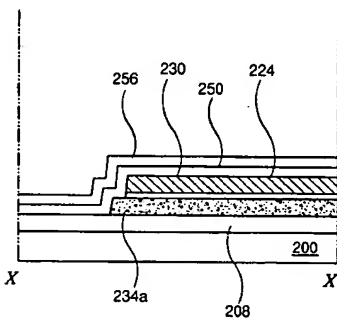
【도 10e】



【도 10f】

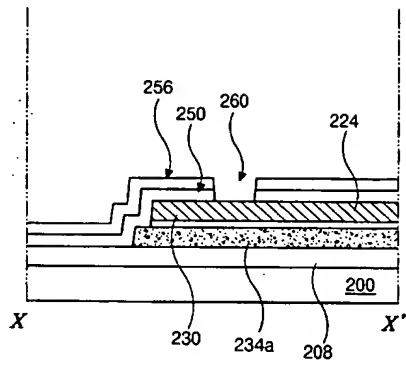


【도 10g】

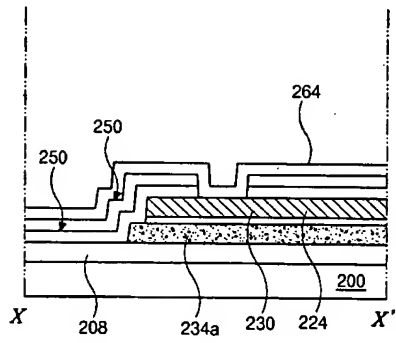




【도 10h】



【도 10i】



【도 10j】

